

10/532220 #2
PCT/JP2004/012779
Rec'd PCT/PTO 22 APR 2005
27. 8. 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

REC'D 15 OCT 2004

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年10月 2日

出 願 番 号
Application Number: 特願2003-344523
[ST. 10/C]: [JP2003-344523]

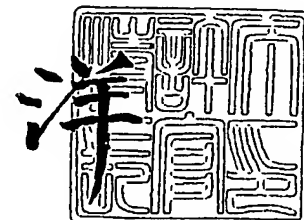
出 願 人
Applicant(s): 株式会社リコー

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年10月 1日

特許庁長官
Commissioner,
Japan Patent Office

小 川



BEST AVAILABLE COPY

出証番号 出証特2004-3088267

【書類名】 特許願
【整理番号】 191541
【提出日】 平成15年10月 2日
【あて先】 特許庁長官殿
【国際特許分類】 H02M 3/28
【発明者】
 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内
 【氏名】 伊藤 弘造
【特許出願人】
 【識別番号】 000006747
 【住所又は居所】 東京都大田区中馬込 1 丁目 3 番 6 号
 【氏名又は名称】 株式会社リコー
【代理人】
 【識別番号】 100086405
 【弁理士】
 【氏名又は名称】 河宮 治
 【電話番号】 06-6949-1261
 【ファクシミリ番号】 06-6949-0361
【選任した代理人】
 【識別番号】 100098280
 【弁理士】
 【氏名又は名称】 石野 正弘
 【電話番号】 06-6949-1261
 【ファクシミリ番号】 06-6949-0361
【先の出願に基づく優先権主張】
 【出願番号】 特願2003-306456
 【出願日】 平成15年 8月29日
【手数料の表示】
 【予納台帳番号】 163028
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9808860

【書類名】 特許請求の範囲**【請求項 1】**

入力端子に入力された入力電圧を所定の定電圧に変換し負荷に供給する定電圧回路において、

所定の基準電圧を生成して出力する基準電圧発生回路部と、

前記変換した電圧を検出し、該検出した電圧に比例した比例電圧を生成して出力する出力電圧検出回路部と、

入力された制御信号に応じた前記入力端子からの電流を前記負荷に出力する出力トランジスタと、

前記比例電圧が前記基準電圧になるように該出力トランジスタの動作制御を行う誤差増幅回路部と、

前記出力トランジスタから出力された電流を検出し、該検出した電流に比例した比例電流を生成して出力する出力電流検出回路部と、

前記出力電圧検出回路部に接続された第 1 の抵抗と、

前記出力電流検出回路部からの出力電流に比例した電流を、該第 1 の抵抗に供給する比例電流供給回路部と、

前記出力トランジスタと前記負荷との間に接続された第 2 の抵抗と、

該第 2 の抵抗と負荷との接続部に接続されたコンデンサと、
を備え、

前記第 2 の抵抗とコンデンサは、前記誤差増幅回路部の位相補償を行う位相補償回路部を形成することを特徴とする定電圧回路。

【請求項 2】

前記第 1 の抵抗は、該抵抗値と出力電流検出回路部からの前記比例電流との積が、前記第 2 の抵抗による電圧降下以下になるような抵抗値を有することを特徴とする請求項 1 記載の定電圧回路。

【請求項 3】

前記出力電流検出回路部は、前記誤差増幅回路部からの制御信号に応じて、前記出力トランジスタから出力される電流値に比例した前記入力端子からの電流を出力する出力電流検出用トランジスタからなることを特徴する請求項 1 又は 2 記載の定電圧回路。

【請求項 4】

前記比例電流供給回路部は、前記出力電流検出用トランジスタから出力される電流を入力電流とするカレントミラー回路で構成されることを特徴とする請求項 3 記載の定電圧回路。

【請求項 5】

前記比例電流供給回路部は、スタック型カレントミラー回路で構成されることを特徴とする請求項 4 記載の定電圧回路。

【請求項 6】

前記比例電流供給回路部は、2つのカレントミラー回路をカスコード接続して形成されることを特徴とする請求項 4 記載の定電圧回路。

【請求項 7】

前記比例電流供給回路部は、ウィルソン型カレントミラー回路で構成されることを特徴とする請求項 4 記載の定電圧回路。

【請求項 8】

前記比例電流供給回路部は、

前記出力トランジスタの出力端と前記出力電流検出用トランジスタの出力端が対応する入力端にそれぞれ接続された演算増幅回路と、

該演算増幅回路からの出力信号に応じて、前記出力電流検出用トランジスタから出力された電流の出力制御を行う電流制御トランジスタと、

該電流制御トランジスタから出力される電流を入力電流とし、該入力電流に比例した電流を前記第 1 の抵抗に供給するカレントミラー回路と、

を備えることを特徴とする請求項 4 記載の定電流回路。

【請求項 9】

前記コンデンサは、内部抵抗の小さいコンデンサであることを特徴とする請求項 1 記載の定電圧回路。

【請求項 10】

前記コンデンサは、セラミックコンデンサであることを特徴とする請求項 7 記載の定電圧回路。

【請求項 11】

前記第 2 の抵抗は、抵抗値が $50\text{ m}\Omega$ から 10Ω の抵抗であることを特徴とする請求項 1、7 又は 8 記載の定電圧回路。

【請求項 12】

前記第 2 の抵抗は、配線抵抗で形成されることを特徴とする請求項 1 記載の定電圧回路。

【請求項 13】

前記基準電圧発生回路部、出力電圧検出回路部、出力トランジスタ、誤差増幅回路部、出力電流検出回路部、第 1 の抵抗及び比例電流供給回路部は、1つの IC に集積されることを特徴とする請求項 1 記載の定電圧回路。

【請求項 14】

前記基準電圧発生回路部、出力電圧検出回路部、出力トランジスタ、誤差増幅回路部、出力電流検出回路部、第 1 の抵抗、比例電流供給回路部及び第 2 の抵抗は、1つの IC に集積されることを特徴とする請求項 1 記載の定電圧回路。

【請求項 15】

前記第 1 の抵抗は、前記出力トランジスタと出力電圧検出回路部との間に接続されることを特徴とする請求項 1、2、3、4、5、6、7、8、9、10、11、12、13 又は 14 記載の定電圧回路。

【書類名】明細書

【発明の名称】定電圧回路

【技術分野】

【0001】

本発明は、定電圧回路に関し、出力抵抗によって生じた出力電圧の低下を補償する回路を設けることで、低ESRのコンデンサを用いて位相補償を行うことができるようにした定電圧回路に関する。

【背景技術】

【0002】

従来、2本のリモートセンシング線を使用することなく、負荷側の電圧の配線による電圧降下を補い、コストの低減を図ることができる電源装置があった（例えば、特許文献1参照。）。

一方、定電圧電源の位相補償を行うために、従来、図3に示すように、定電圧回路の出力端子に負荷と並列にコンデンサを接続する方法がよく行われていた。これは、コンデンサC101の容量とコンデンサC101の内部インピーダンスESRによって、定電圧回路の周波数特性におけるポールの移動とゼロを生成することにより周波数特性を改善し位相補償を行うことができる。このような方法は、定電圧回路に位相補償用の端子を設けなくてもよい、電源ICの端子の数が少なくて済むというメリットがあった。このような方式の位相補償には、通常、内部インピーダンスESRの大きいタンタルコンデンサが使用されていた。

【0003】

図4で示すように、タンタルコンデンサの内部インピーダンスESRは、 $2.2\mu\text{F}$ のもので $1\Omega\sim 10\Omega$ 程度であり、位相補償に適した周波数帯に定電圧回路の周波数特性におけるゼロができ、良好な位相補償を行うことができた。しかし、最近では、セラミックコンデンサの大容量化が進み、セラミックコンデンサがタンタルコンデンサよりも小型で軽量、かつ近年は安価で供給が安定しており、位相補償用コンデンサにもセラミックコンデンサを使用する必要性が高まってきた。

【0004】

セラミックコンデンサの内部インピーダンスESRは、図5に示すようにタンタルコンデンサと比較して、2桁から3桁小さい $10\text{m}\Omega\sim 30\text{m}\Omega$ 程度であるため、セラミックコンデンサを前記位相補償に使用すると、内部インピーダンスESRが小さいため、ゼロのできる周波数が極めて高い周波数に移動してしまい適切な位相補償ができなくなる。

定電圧回路の周波数特性におけるゼロのできる周波数を低下させるには、セラミックコンデンサに直列に抵抗を接続すればよいが、定電圧ICの外で抵抗を追加するのはスペース及びコストで不利になるため、IC内部に抵抗を設ける必要性があった。

【0005】

図6と図7はIC内部に抵抗を設けた場合の回路例を示した図である。

図6は、セラミックコンデンサを接続するための専用端子PinVout2を設け、ICチップのパッドICP2とICパッケージ端子PinVout2との間に位相補償用の $100\text{m}\Omega$ 程度の固定抵抗R103を設けており、電圧出力用の出力端子PinVout1を別に設けた場合の例を示している。このような場合、固定抵抗R103には出力電流 i_o が流れないため、出力電圧の安定度は良好である。

【0006】

図7は、ICチップのパッドICPとICの出力端子PinVoutとの間に、位相補償用の $100\text{m}\Omega\sim 10\Omega$ の固定抵抗R103を設けた例を示した図である。

図7のような場合、IC端子の数は増えないが、出力電流 i_o が大きくなると固定抵抗R103による電圧降下Vdrop（ $=i_o\times R103$ の抵抗値）が無視できなくなる。このような電圧降下Vdropを補償するために、基準電圧Vrefと接地電圧との間に固定抵抗R104を設け、出力端子PinVoutと抵抗R104との間に負荷を接続し、出力電流 i_o と同じ負荷に流れる電流を固定抵抗R104に流れるようにした。

【0007】

出力電流 i_o が増加すると、固定抵抗 R_{104} の両端電圧が上昇するため、基準電圧 V_{ref} が入力されている誤差増幅回路 AMP の非反転入力端の電圧が上昇する。このため、定電圧回路の内部出力電圧 V_o が上昇し、固定抵抗 R_{103} による電圧降下 V_{drop} を補うことができる。固定抵抗 R_{103} の影響を完全に取り除くには、出力電圧検出用抵抗 R_{101} 及び R_{102} 、並びに固定抵抗 R_{103} 及び R_{104} の関係を、 $(R_{101} \text{ の抵抗値}) / (R_{102} \text{ の抵抗値}) = (R_{103} \text{ の抵抗値}) / (R_{104} \text{ の抵抗値})$ にすればよい。

しかし、 $(R_{101} \text{ の抵抗値}) / (R_{102} \text{ の抵抗値}) < (R_{103} \text{ の抵抗値}) / (R_{104} \text{ の抵抗値})$ になると、正帰還がかかり出力電圧が上昇するため、通常は $(R_{101} \text{ の抵抗値}) / (R_{102} \text{ の抵抗値}) \geq (R_{103} \text{ の抵抗値}) / (R_{104} \text{ の抵抗値})$ になるようにしている。

【特許文献1】特開平10-257764号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、図6の場合は、IC端子が1つ増え、IC端子に制限のある場合には使用することができないという問題があった。また、図7では、負荷と接地電圧との間に固定抵抗 R_{104} が入るため、負荷と抵抗 R_{104} との接続部の電圧が上昇し、別の電源に接続された負荷との信号の授受に問題が生じる等の問題があった。

【0009】

本発明は、前記のような問題を解決するためになされたものであり、出力電圧検出用抵抗の一部に、出力電流に比例した電流を追加することで、定電圧回路の内部出力電圧を上昇させるようにして、位相補償のために設けた抵抗による電圧降下を補償することができると共にセラミックコンデンサのような内部インピーダンスの小さいコンデンサを位相補償に使用することができ、また、負荷の負側の電源電圧が接地電圧から上昇することがないため、他の電源回路に接続された負荷との信号の授受の影響を小さくすることができる定電圧回路を得ることを目的とする。

【課題を解決するための手段】

【0010】

この発明に係る定電圧回路は、入力端子に入力された入力電圧を所定の定電圧に変換して負荷に供給する定電圧回路において、

所定の基準電圧を生成して出力する基準電圧発生回路部と、

前記変換した電圧を検出し、該検出した電圧に比例した比例電圧を生成して出力する出力電圧検出回路部と、

入力された制御信号に応じた前記入力端子からの電流を前記負荷に出力する出力トランジスタと、

前記比例電圧が前記基準電圧になるように該出力トランジスタの動作制御を行う誤差増幅回路部と、

前記出力トランジスタから出力された電流を検出し、該検出した電流に比例した比例電流を生成して出力する出力電流検出回路部と、

前記出力電圧検出回路部に接続された第1の抵抗と、

前記出力電流検出回路部からの出力電流に比例した電流を、該第1の抵抗に供給する比例電流供給回路部と、

前記出力トランジスタと前記負荷との間に接続された第2の抵抗と、

該第2の抵抗と負荷との接続部に接続されたコンデンサと、
を備え、

前記第2の抵抗とコンデンサは、前記誤差増幅回路部の位相補償を行う位相補償回路部を形成するものである。

【0011】

具体的には、前記第1の抵抗は、該抵抗値と出力電流検出回路部からの前記比例電流との積が、前記第2の抵抗による電圧降下以下になるような抵抗値を有するようにした。

【0012】

また、前記出力電流検出回路部は、前記誤差増幅回路部からの制御信号に応じて、前記出力トランジスタから出力される電流値に比例した前記入力端子からの電流を出力する出力電流検出用トランジスタからなるようにした。

【0013】

また、前記比例電流供給回路部は、前記出力電流検出用トランジスタから出力される電流を入力電流とするカレントミラー回路で構成されるようにした。

【0014】

具体的には、前記比例電流供給回路部は、スタック型カレントミラー回路で構成されるようにした。

【0015】

また、前記比例電流供給回路部は、2つのカレントミラー回路をカスコード接続して形成されるようにしてもよい。

【0016】

また、前記比例電流供給回路部は、ウィルソン型カレントミラー回路で構成されるようにしてもよい。

【0017】

一方、前記比例電流供給回路部は、

前記出力トランジスタの出力端と前記出力電流検出用トランジスタの出力端が対応する入力端にそれぞれ接続された演算増幅回路と、

該演算増幅回路からの出力信号に応じて、前記出力電流検出用トランジスタから出力された電流の出力制御を行う電流制御トランジスタと、

該電流制御トランジスタから出力される電流を入力電流とし、該入力電流に比例した電流を前記第1の抵抗に供給するカレントミラー回路と、
を備えるようにしてもよい。

【0018】

前記コンデンサに、内部抵抗の小さいコンデンサ、例えばセラミックコンデンサを使用するようにした。

【0019】

また、具体的には、前記第2の抵抗は、抵抗値が50mΩから10Ωの抵抗をなすようにした。

【0020】

前記第2の抵抗は、配線抵抗で形成されるようにしてもよい。

【0021】

前記基準電圧発生回路部、出力電圧検出回路部、出力トランジスタ、誤差増幅回路部、出力電流検出回路部、第1の抵抗及び比例電流供給回路部は、1つのICに集積されるようにした。

【0022】

前記基準電圧発生回路部、出力電圧検出回路部、出力トランジスタ、誤差増幅回路部、出力電流検出回路部、第1の抵抗、比例電流供給回路部及び第2の抵抗は、1つのICに集積されるようにしてもよい。

【0023】

また、前記第1の抵抗は、前記出力トランジスタと出力電圧検出回路部との間に接続されるようにしてもよい。

【発明の効果】

【0024】

本発明の定電圧回路によれば、出力電圧検出抵抗の一部に、出力電流に比例した電流を追加して定電圧回路の内部出力電圧を上昇させるようにしたことから、位相補償のために

設けた抵抗による電圧降下を補償することができるため、セラミックコンデンサのような内部インピーダンスの小さいコンデンサを位相補償に使用することができると同時に、電圧降下を補償するために、負荷の負側の電圧が接地電圧から上昇することがないため、他の電源回路に接続された負荷との信号の授受に対する影響を小さくすることができる。

【発明を実施するための最良の形態】

【0025】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第1の実施の形態、

図1は、本発明の第1の実施の形態における定電圧回路の回路例を示した図である。

図1において、定電圧回路1は、定電圧回路部2と、位相補償回路部3とで構成されている。定電圧回路部2は、電源電圧V_{dd}から所定の定電圧を生成し出力電圧V_oとして出力する。位相補償回路部3は、抵抗R₃及びコンデンサC₁で構成され、定電圧回路部2に対して位相補償を行う。

【0026】

定電圧回路部2は、所定の基準電圧V_{ref}を生成して出力する基準電圧発生回路11と、該基準電圧V_{ref}が非反転入力端に入力された誤差増幅回路AMP1と、該誤差増幅回路AMP1の出力信号に応じて位相補償回路部3に出力する電流i_oの制御を行うPMOSトランジスタからなる出力トランジスタM1と、出力電圧V_oの電圧を検出する出力電圧検出用抵抗R₁、R₂、R₄とを備えている。更に、定電圧回路部2は、出力電流i_oの検出を行うためのPMOSトランジスタである出力電流検出用トランジスタM2と、カレントミラー回路12とで構成されている。カレントミラー回路12は、PMOSトランジスタM3、M4及びNMOSトランジスタM5、M6で構成されている。

【0027】

なお、基準電圧発生回路11は基準電圧発生回路部を、誤差増幅回路AMP1は誤差増幅回路部を、抵抗R₁及びR₂は出力電圧検出回路部をそれぞれなす。また、出力電流検出用トランジスタM2は出力電流検出回路部を、抵抗R₄は第1の抵抗を、カレントミラー回路12は比例電流供給回路部を、抵抗R₃は第2の抵抗をそれぞれなす。

【0028】

誤差増幅回路AMP1は、反転入力端が抵抗R₁とR₂との接続部に接続され、出力端が出力トランジスタM1のゲートに接続されている。出力トランジスタM1は、入力電圧である電源電圧V_{dd}と定電圧回路部2の出力端子であるICの出力パッド（以下、ICパッドと呼ぶ）15との間に接続され、出力トランジスタM1のドレインと接地電圧との間に抵抗R₄、R₁及びR₂が直列に接続されている。出力電流検出用トランジスタM2は、ゲートが誤差増幅回路AMP1の出力端に接続され、ソースが電源電圧V_{dd}に接続されている。

【0029】

出力電流検出用トランジスタM2のドレインと接地電圧との間には、PMOSトランジスタM4及びNMOSトランジスタM6が直列に接続され、抵抗R₄とR₁との接続部と接地電圧との間にPMOSトランジスタM3及びNMOSトランジスタM5が直列に接続されている。PMOSトランジスタM3及びM4のゲートは接続され、該接続部はPMOSトランジスタM3のドレインに接続されている。また、NMOSトランジスタM5及びM6のゲートは接続され、該接続部はNMOSトランジスタM6のドレインに接続されている。

【0030】

このような構成において、誤差増幅回路AMP1は、各入力端の電圧が等しくなるように、出力トランジスタM1のゲート電圧を制御するため、出力電流i_oが0である場合の定電圧回路部2の出力電圧V_oは、下記(1)式ようになる。なお、(1)式では、R₁、R₂、R₄は、抵抗R₁、R₂、R₄の抵抗値を示している。

$$V_o = V_{ref} \times (R_4 + R_1 + R_2) / R_2 \dots\dots\dots (1)$$

【0031】

出力電圧 V_o は、IC パッド 15 と位相補償用固定抵抗 R_3 を介して、IC の出力端子 P_{out} から出力される。IC の出力端子 P_{out} と接地電圧との間には、位相補償用のコンデンサ C_1 と負荷 10 が並列に接続されている。

位相補償用固定抵抗 R_3 は IC に内蔵されているため、コンデンサ C_1 は直列等価抵抗 E_{SR} の小さいセラミックコンデンサを使用することができる。

しかし、出力電流 i_o が増加すると位相補償用固定抵抗 R_3 の両端に電圧降下 V_{drop} が発生し、出力端子 P_{out} の電圧 V_{out} が低下する。出力電流検出用トランジスタ M_2 、カレントミラー回路 12 及び抵抗 R_4 は、このような電圧低下を補うための回路である。

【0032】

出力電流検出用トランジスタ M_2 は、出力トランジスタ M_1 とソース及びゲートを共通接続してカレントミラー回路を構成している。出力電流検出用トランジスタ M_2 のドレイン電流は、例えば、出力トランジスタ M_1 のドレイン電流の $1/1000$ から $1/10000$ に設定されている。

出力電流検出用トランジスタ M_2 のドレイン電流は、2つの PMOS トランジスタ M_3 、 M_4 と 2つの NMOS トランジスタ M_5 、 M_6 とで構成されたチャネル長変調効果を改善したカレントミラー回路 12 に入力される。カレントミラー回路 12 は、図 1 のようなスタック型回路の他に、カスコード電流源やウィルソン型カレントミラー回路等を使用してもよい。

【0033】

カレントミラー回路 12 の出力電流 i_3 は、PMOS トランジスタ M_3 のソース電流として取り出される。カレントミラー回路 12 のミラー電流比を $1:1$ にすると、PMOS トランジスタ M_3 のソース電流 i_3 は、出力電流検出用トランジスタ M_2 のドレイン電流と等しくなる。

PMOS トランジスタ M_3 のソースは、抵抗 R_4 と抵抗 R_1 との接続部に接続されているため、PMOS トランジスタ M_3 のソース電流 i_3 は抵抗 R_4 を流れ、抵抗 R_4 の両端には電圧 (R_4 の抵抗値 $\times i_3$) の電圧降下が発生する。

【0034】

この結果、出力電流 i_o が増えるほど抵抗 R_4 の両端の電圧降下が大きくなるため、定電圧回路部 2 の出力電圧 V_o が上昇し、位相補償用の抵抗 R_3 で生じた電圧降下を補うことができる。

この様子を、数式を用いてもう少し詳しく説明する。なお、以下、各数式において、 $R_1 \sim R_4$ は、抵抗 $R_1 \sim R_4$ の抵抗値をそれぞれ示している。

定電圧回路部 2 の出力電圧 V_o は下記 (2) 式で表される。

$$V_o = V_{ref} \times (R_4 + R_1 + R_2) / R_2 + R_4 \times i_3 \dots \dots \dots (2)$$

【0035】

また、出力端子 P_{out} の電圧 V_{out} は、下記 (3) 式のようになり、

$$V_{out} = V_o - R_3 \times i_o \dots \dots \dots (3)$$

前記 (2) 式を該 (3) 式に代入すると、下記 (4) 式のようになる。

$$V_{out} = V_{ref} \times (R_4 + R_1 + R_2) / R_2 + R_4 \times i_3 - R_3 \times i_o \dots \dots \dots$$

... (4)

前記 (4) 式において、 $R_4 \times i_3 - R_3 \times i_o = 0$ になるような条件が理想的な電圧補償になる。

【0036】

したがって、

$$R_4 \times i_3 = R_3 \times i_o$$

となり、

$i_o / i_3 = A$ (A は比例定数) とすると、

$R_4 = A \times R_3$ となり、抵抗 R_4 の抵抗値を、位相補償用の抵抗 R_3 の A 倍にすればよいことが分かる。しかし、 $R_4 \times i_3 > R_3 \times i_o$ になると、定電圧回路に正帰還がかか

るので、前記Aの値は、通常 $A \leq i_o / i_3$ に設定する。

【0037】

図2は、本発明の第1の実施の形態における定電圧回路の他の回路例を示した図である。なお、図2では、図1と同じもの又は同様のものは同じ符号で示し、ここではその説明を省略すると共に図1との相違点のみ説明する。

図2における図1との相違点は、図1のカレントミラー回路12において、NMOSトランジスタM5、M6の1段構成にすると共に、PMOSトランジスタM3を削除して、演算増幅回路AMP2を追加したことにある。これに伴って、図1のカレントミラー回路12をカレントミラー回路12aにし、図1の定電圧回路部2を定電圧回路部2aに、定電圧回路1を定電圧回路1aにした。

【0038】

図2において、定電圧回路1aは、定電圧回路部2aと、位相補償回路部3とで構成されている。定電圧回路部2aは、入力電圧である電源電圧Vddから所定の定電圧を生成し出力電圧Voとして出力する。位相補償回路部3は、定電圧回路部2aから出力される出力電圧Voの信号に対して位相補償を行い負荷10に供給する。

【0039】

定電圧回路部2aは、基準電圧発生回路11と、誤差増幅回路AMP1と、出力トランジスタM1と、出力電圧検出用抵抗R1、R2、R4と、出力電流検出用トランジスタM2と、カレントミラー回路12aとで構成されている。カレントミラー回路12aは、演算増幅回路AMP2、PMOSトランジスタM4及びNMOSトランジスタM5、M6で構成されている。なお、カレントミラー回路12aは比例電流供給回路部をなし、PMOSトランジスタM4は電流制御トランジスタをなす。

【0040】

出力電流検出用トランジスタM2のドレインと接地電圧との間には、PMOSトランジスタM4及びNMOSトランジスタM6が直列に接続され、抵抗R4とR1との接続部と接地電圧との間にNMOSトランジスタM5が接続されている。PMOSトランジスタM4のゲートは演算増幅回路AMP2の出力端に接続され、演算増幅回路AMP2の反転入力端は、PMOSトランジスタM4のソースに、演算増幅回路AMP2の非反転入力端には、出力電圧Voが入力されている。また、NMOSトランジスタM5及びM6のゲートは接続され、該接続部はNMOSトランジスタM6のドレインに接続されている。

【0041】

このような構成において、PMOSトランジスタM4のドレイン電流がNMOSトランジスタM5及びM6で構成されたカレントミラー回路の入力電流となり、該カレントミラー回路の出力はNMOSトランジスタM5のドレイン電流として出力され、抵抗R4に供給される。

このように、NMOSトランジスタM5、M6で構成されたカレントミラー回路は、演算増幅回路AMP2の帰還ループに入った構成になっているため、カレントミラー回路12は、出力トランジスタM1のドレイン電圧と、出力電流検出用トランジスタM2のドレイン電圧が等しくなるように、PMOSトランジスタM4のゲート電圧を制御する。このため、カレントミラー回路12の電流精度を図1の場合よりも更に向上させることができる。

【0042】

このように、本第1の実施の形態における定電圧回路は、ICパッド15に接続された位相補償用の抵抗R3による電圧降下を補償することができると共に、誤差増幅回路AMP1の利得低下や、定電圧回路部2から負荷10までの配線抵抗による電圧降下の補償も行うことができる。

【図面の簡単な説明】

【0043】

【図1】図1は、本発明の第1の実施の形態における定電圧回路の回路例を示した図である。

【図 2】本発明の第 1 の実施の形態における定電圧回路の他の回路例を示した図である。

【図 3】従来の定電圧回路の例を示した図である。

【図 4】タンタルコンデンサの等価回路例を示した図である。

【図 5】セラミックコンデンサの等価回路例を示した図である。

【図 6】従来の定電圧回路の回路例を示した図である。

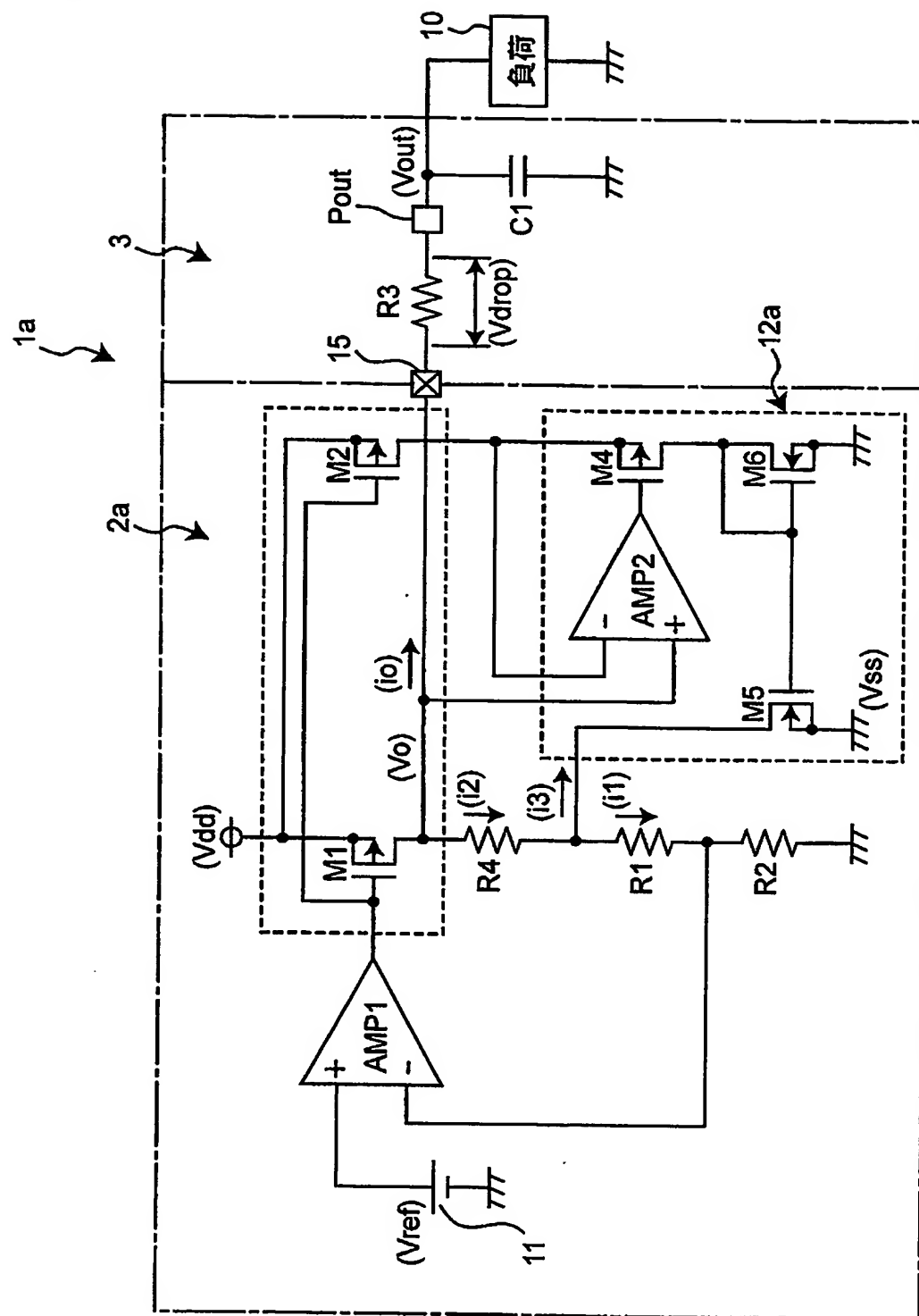
【図 7】従来の定電圧回路の他の回路例を示した図である。

【符号の説明】

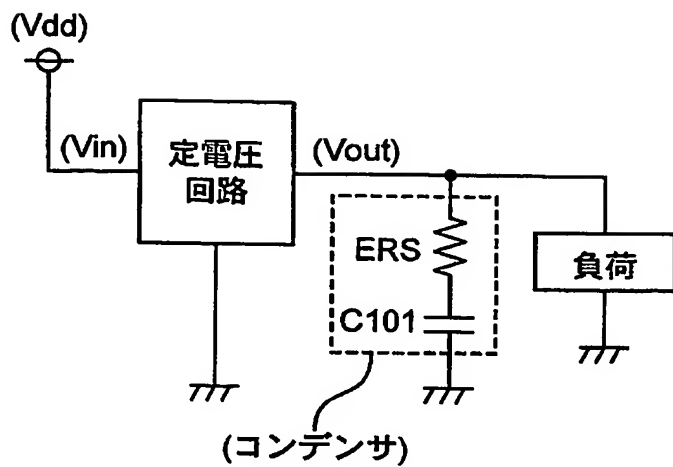
【0044】

- 1, 1a 定電圧回路
- 2, 2a 定電圧回路部
- 3 位相補償回路部
- 10 負荷
- 11 基準電圧発生回路
- 12, 12a カレントミラー回路
- AMP1 誤差増幅回路
- R1, R2, R4 出力電圧検出用抵抗
- R3 位相補償用の抵抗
- M1 出力トランジスタ
- M2 出力電流検出用トランジスタ
- M3, M4 PMOS トランジスタ
- M5, M6 NMOS トランジスタ
- C1 コンデンサ
- AMP2 演算増幅回路

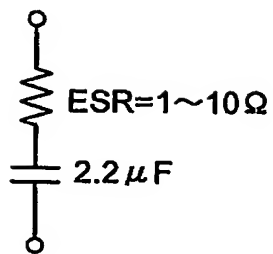
【图 2】



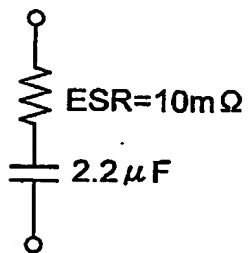
【図 3】



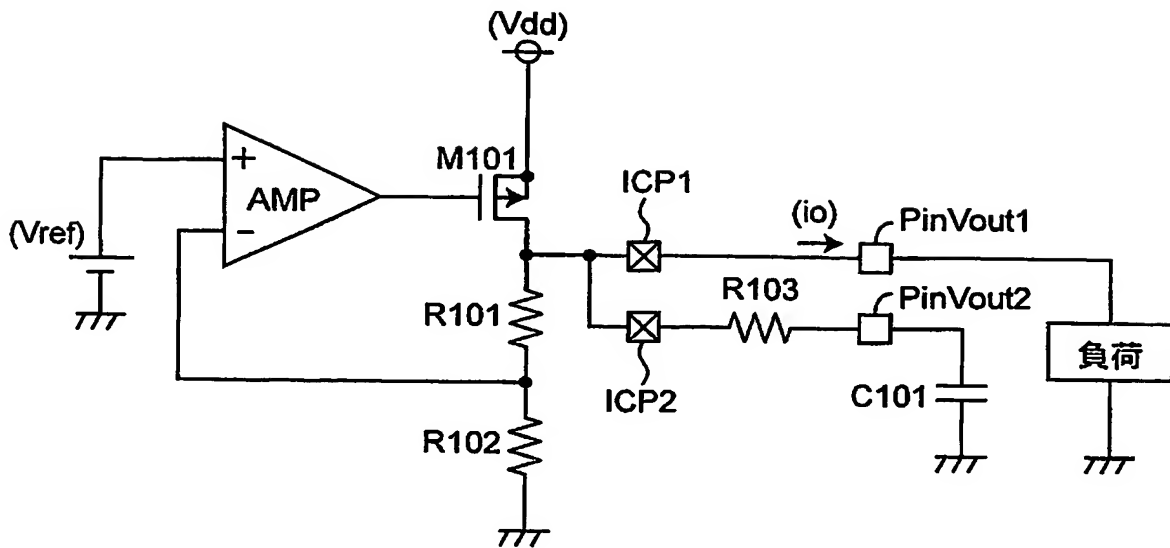
【図 4】



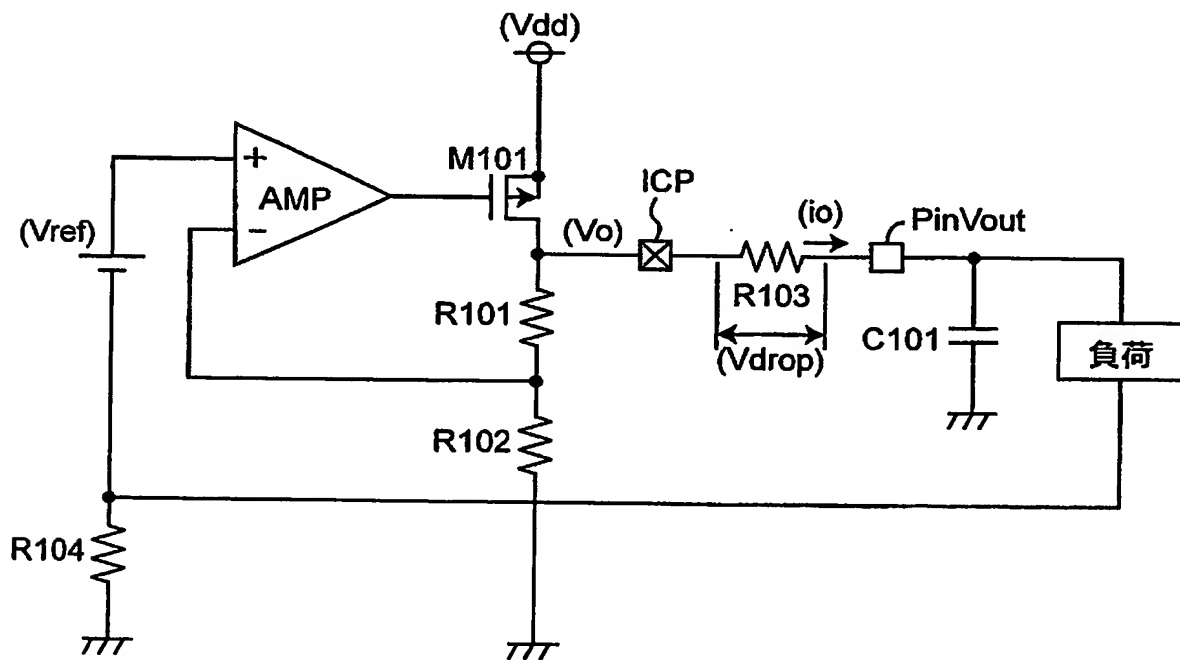
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 低 ESR のコンデンサを用いて容易に位相補償が行え、かつ、電圧低下の小さい出力電圧を供給することができ、負荷の負側の電源電圧が接地電圧から上昇することがないため、他の電源回路に接続された負荷との信号の授受の影響を小さくすることができる定電圧回路を得る。

【解決手段】 出力電流検出用トランジスタ M2 及びカレントミラー回路 12 により、出力電流 i_o に比例した電流を出力電圧検出用抵抗 R4 に加えることによって、定電圧回路部 2 の出力電圧 V_o を上昇させるようにして、抵抗 R3 によって発生する電圧降下を補償することで、任意の値の抵抗 R3 を設けることが可能となり、セラミックコンデンサ等のような内部抵抗（直列等価抵抗）の小さいコンデンサを用いた位相補償を容易に行えるようにした。

【選択図】 図 1

特願 2 0 0 3 - 3 4 4 5 2 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 7 4 7]

1. 変更年月日	2 0 0 2 年 5 月 1 7 日
[変更理由]	住所変更
住 所	東京都大田区中馬込 1 丁目 3 番 6 号
氏 名	株式会社リコー